



MSP430F5 系列 16 位超低功耗单片机模块原理

第 9 章 DMA 直接存储器存取

版本: 1.0

日期: 2008.6.

原文: TI slau208.pdf (5xxfamily User's Guide)

翻译: 李少丹 哈尔滨工程大学

编辑: DC 微控技术论坛版主

注: 以下文章是翻译 TI slau208.pdf 文件中的部分内容。由于我们翻译水平有限, 有整理过程中难免有所不足或错误; 所以以下内容只供参考. 一切以原文为准。

文章更新详情请密切留意微控技术论坛。

第 9 章 DMA 直接存储器存取

DMA 控制模块可以把数据从一个地址传输到另外一个地址而无需 CPU 的干预，这一章将介绍 DMA 控制器的操作，适用于所有 MSP430x5xx 系列的芯片。

9.1 DMA 介绍	
9.2 DMA 操作.....	
9.3 DMA 寄存器	

9.1 DMA 介绍

直接存储器存取(DMA)控制器可以在全部地址范围内把数据从一个地址传输到另外一个地址，无须 CPU 干预。例如，DMA 控制器可以把 ADC12_A 转换结果寄存器中的值直接传输到 RAM 中。DMA 控制器最多会有 8 个通道，因此，根据 DMA 通道的个数的不同，在这一章中有些特性并不对所有的器件都适用。

使用 DMA 控制器将增加外设的效率。也可以减少系统的功耗通过允许 CPU 在低功耗的模式下无须唤醒 CPU 来完成数据在外设间的传输。

DMA 的特性包括：

- 最多高达 8 个独立的传输通道
- 可配置的 DMA 通道特性
- 每次传输仅需要两个 MCLK 时钟周期
- 字节、字和字与字节混合传输特性
- 字区大小高达 65536 个字或字节
- 可配置的传输触发选择
- 可选择的跳变触发或电平触发
- 四种寻址方式
- 单次、块或者突发块传输模式

图 9-1 是 DMA 控制器结构框架图。

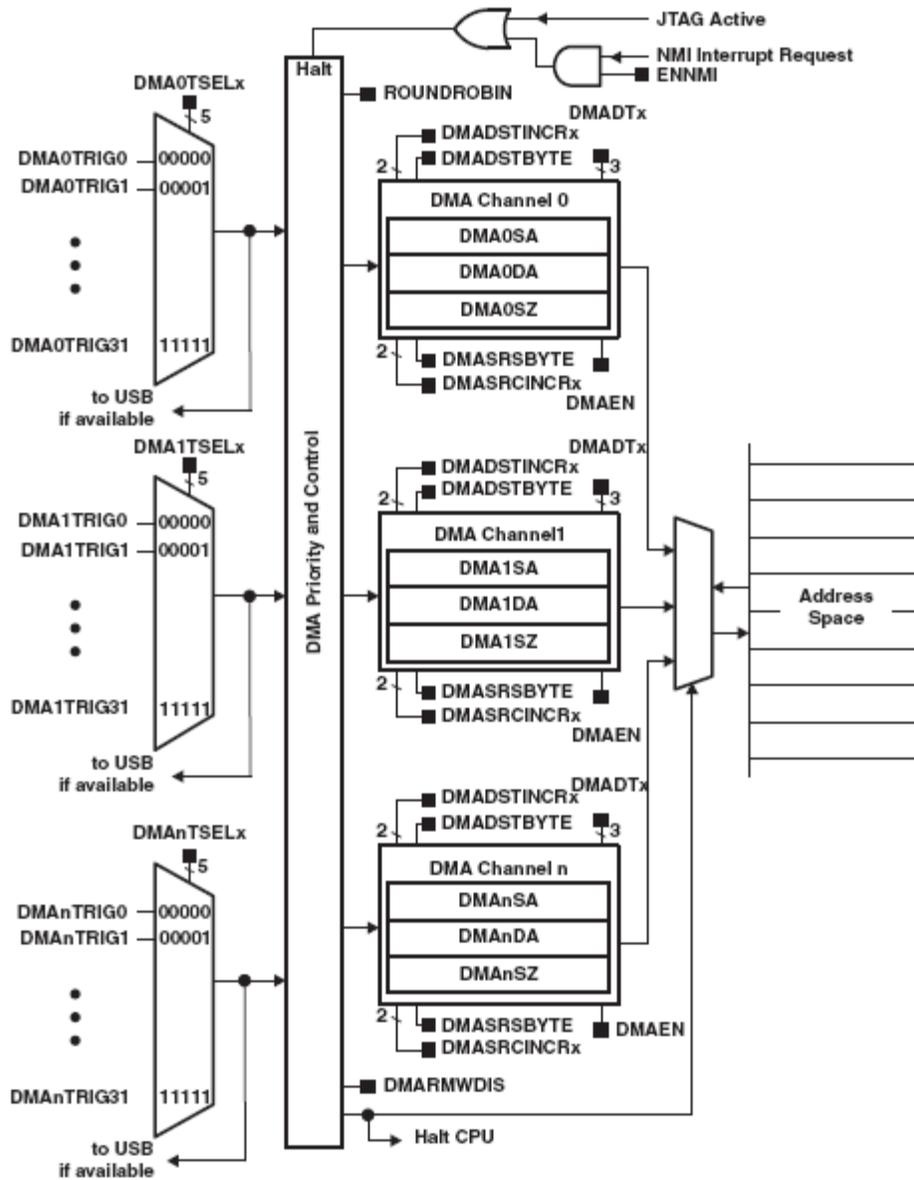


图 9-1. DMA 控制器结构框架图

9.2 DMA 操作

DMA 控制器由用户软件配置。DMA 的建立和操作将在下面的部分讨论。

9.2.1 DMA 寻址方式

DMA 控制器有四种寻址方式。对于每个 DMA 通道的寻址方式都是独立可配置的。例如，通道 0 可以在两个固定的地址间传输，而通道 1 可在两个块地址间传输。这四种寻址方式见图 9-2。

这四种寻址方式是：

- 固定的地址到固定的地址
- 固定的地址到块地址
- 块地址到固定的地址
- 块地址到块地址

寻址方式由 DMASRCINCRx 和 DMADSTINCRx 位配置。DMASRCINCRx 位选择在每次传输结束

后源地址是不变、增加还是减少。DMADSTINCRx 位选择在每次传输结束后目标地址是不变、增加还是减少。

传输可以是字节到字节，字节到字，字到字节或者字到字。当字到字节传输时，只有源的低字节被传输。当传输是字节到字时，目标字的高字节将会被清除在传输的时候。

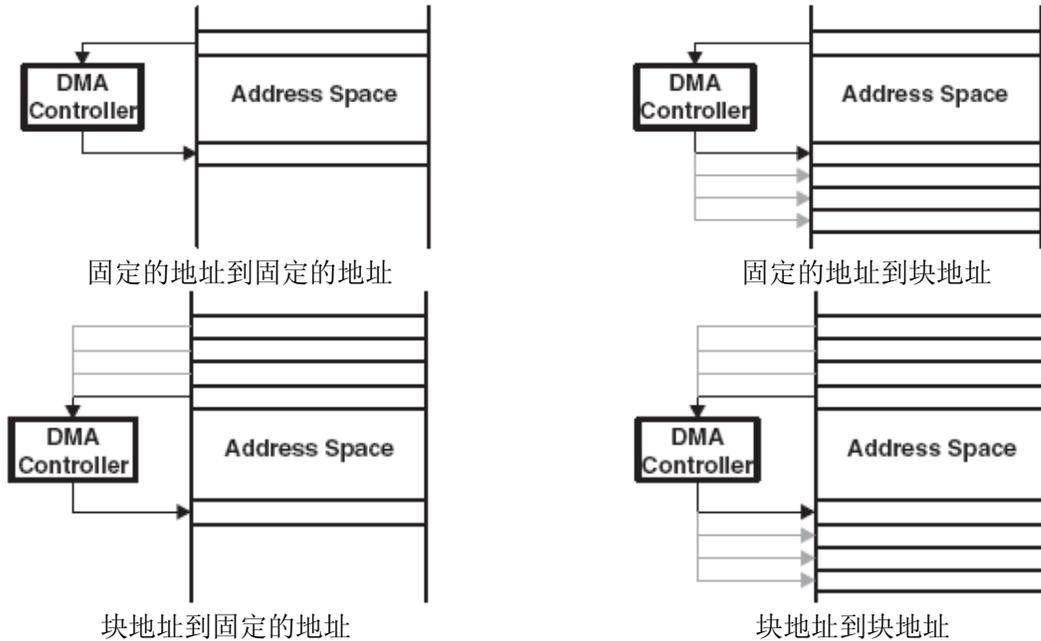


图 9-2. DMA 寻址模式

9.2.2 DMA 传输模式

如表 9-1 所示，DMA 控制器有六种传输模式由 DMADTx 位选择。每个通道都可以独立的配置其传输模式。例如，通道 0 可以配置为单次传输模式，而通道 1 可以配置为突发块传输模式，通道 2 配置为重复块传输模式。传输模式的配置和寻址方式是独立的。任何寻址方式都可以使用每种传输模式。

由 DMAxCTL DSTBYTE 和 SRCBYTE 区域选择的两种类型的数据可以被传输。源和目标都可以是字或者字节。也可以是字节到字节、字到字之间的传输。或者是它们的任意组合。

表 9-1. DMA 传输

DMADTx	传输模式	描述
000	单次传输	每次传输都需要一个单独的触发。在 DMAxSZ 次传输后 DMAEN 会被自动清除
001	块传输	一个整块的数据将会在触发后传输。在块传输结束后 DMAEN 会被自动的清除
010, 011	突发块传输	传输是在 CPU 交叉存取下的块传输。DMAEN 位会在突发块传输结束后自动清除。
100	重复单次传输	每次传输需要一个触发。DMAEN 保持使能。
101	重复块传输	一个完整的块传输需要一个触发。DMAEN 保持使能。
110, 111	重复突发块传输	传输是在 CPU 交叉存取下的块传输。DMAEN 保持使能。

单次传输

在单次传输模式中，每次传输都需要一个单独的触发。单次传输状态如图 9-3 所示。

DMAxSZ 寄存器用来定义每次传输的数目。DMADSTINCRx 和 DMASRCINCRx 用来选择在传输结束后目标地址和源地址是否增加或者减少。如果 DMAxSZ = 0，则没有传输发生。

DMAxSA, DMAxDA, 和 DMAxSZ 都会被复制到临时寄存器中。在每次传输结束后 DMAxSA 和 DMAxDA 的临时值都会增加或者减少。在每次传输结束后 DMAxSZ 寄存器中的值会减少。当 DMAxSZ 寄存器的值减少至 0 时将会从临时寄存器中重载并且相应的 DMAIFG 标志将会置位。当 DMADTx = 0 时，DMAEN 位将会被自动清除当 DMAxSZ 减至 0 时必须为下一次传输的产生而重新设置。

在单次重复传输模式中，DMAEN = 1 时 DMA 控制器保持允许，在每次触发后传输发生。

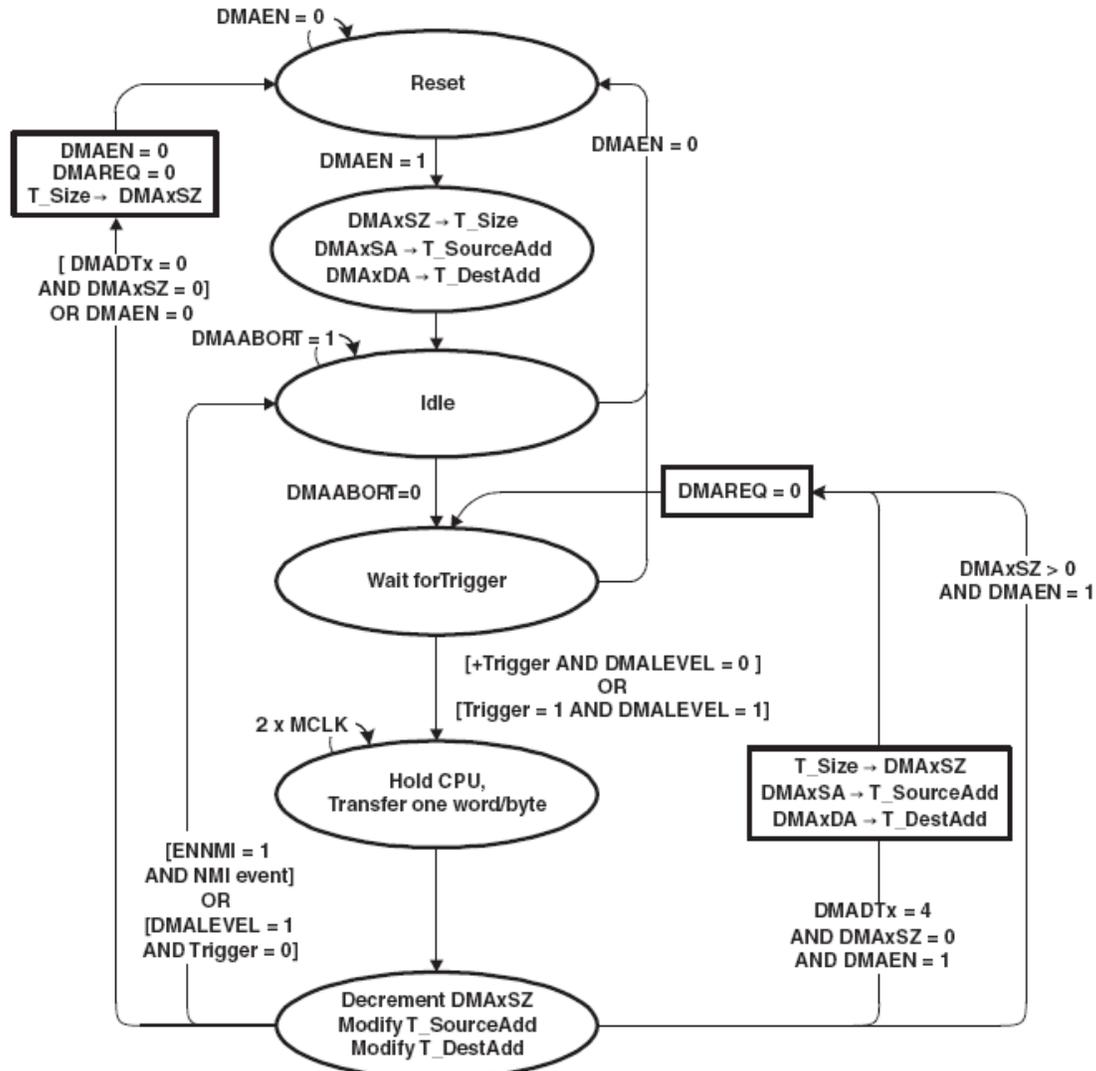


图 9-3 单次传输状态图

块传输

在块传输模式中，一个整块的数据将会在触发后传输。当 DMADTx = 1 时，在一次块传输结束后 DMAEN 位将会被清除并需要重新置位以便下一次块传输被触发。在一个块传输被触发后，

在传输的过程中其他的触发将会被忽略。块传输状态如图 9-4 所示。

DMAxSZ 寄存器用来定义块的大小，DMADSTINCRx 和 DMASRCINCRx 用来选择在每次块传输结束后目标地址和源地址是否增加或者减少。如果 DMAxSZ = 0，则没有块传输发生。

DMAxSA, DMAxDA, 和 DMAxSZ 都会被复制到临时寄存器中。在每次块传输结束后 DMAxSA 和 DMAxDA 的临时值都会增加或者减少。在每次块传输结束后 DMAxSZ 寄存器中的值会减少并且指示块中还剩余多少数据。当 DMAxSZ 寄存器的值减少至 0 时将会从临时寄存器中重载并且相应的 DMAIFG 标志将会置位。

在一个块传输中，块传输完成前 CPU 将会停止。块传输将会在 $2 \times \text{MCLK} \times \text{DMAxSZ}$ 个时钟周期完成。在块传输结束后 CPU 将会以其先前的状态运行。

在重复块传输模式中，在每个块传输结束后 DMAEN 位将保持置位。一个重复块传输结束后的下一个触发信号将触发另一个块传输。

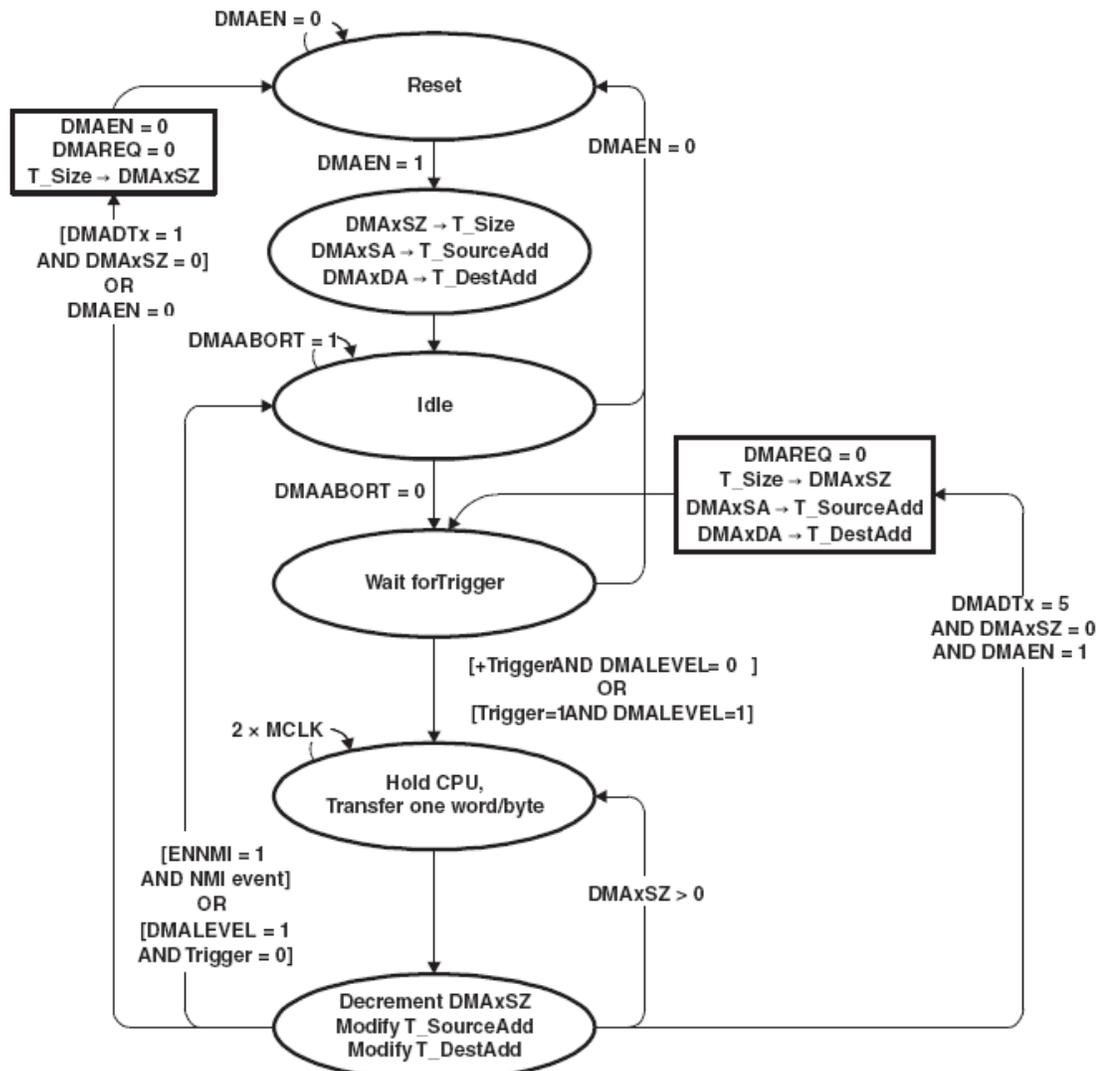


图 9-4 .块传输状态图

9.2.2.1 突发块传输

在突发块传输模式中，传输是在 CPU 交叉存取下的块传输。在每个块的四个字节/字传输后 CPU 将运行 2 个 MCLK 时钟，如此导致了 20% 的 CPU 运行容量。在突发块传输结束后，CPU 将会在 100% 的容量下运行并且 DMAEN 位将被清除。DMAEN 位需要重新置位以便下一次块突发传输被触发。在一个突发块传输被触发后，在传输的过程中其他的触发将会被忽略。突发块传输状态如图 9-4 所示。

DMAxSZ 寄存器用来定义块的大小，DMADSTINCRx 和 DMASRCINCRx 用来选择在每次块传输结束后目标地址和源地址是否增加或者减少。如果 DMAxSZ = 0，则没有块传输发生。

DMAxSA, DMAxDA, 和 DMAxSZ 都会被复制到临时寄存器中。在每次块传输结束后 DMAxSA 和 DMAxDA 的临时值都会增加或者减少。在每次块传输结束后 DMAxSZ 寄存器中的值会减少并且指示块中还剩余多少数据。当 DMAxSZ 寄存器的值减少至 0 时将会从临时寄存器中重载并且相应的 DMAIFG 标志将会置位。

在重复突发块传输模式中，在每个突发块传输结束后 DMAEN 位将保持置位且不再需要额外的触发信号来启动另一次突发块传输。另一次突发块传输将在前一个突发块传输结束后直接进行。如此，传输必须停止以通过清除 DMAEN 位或者当 ENNMI 被设置时由一个 NMI 中断引起。在重复突发块传输模式中 CPU 不断在 20% 的容量运行直到重复突发块传输停止。

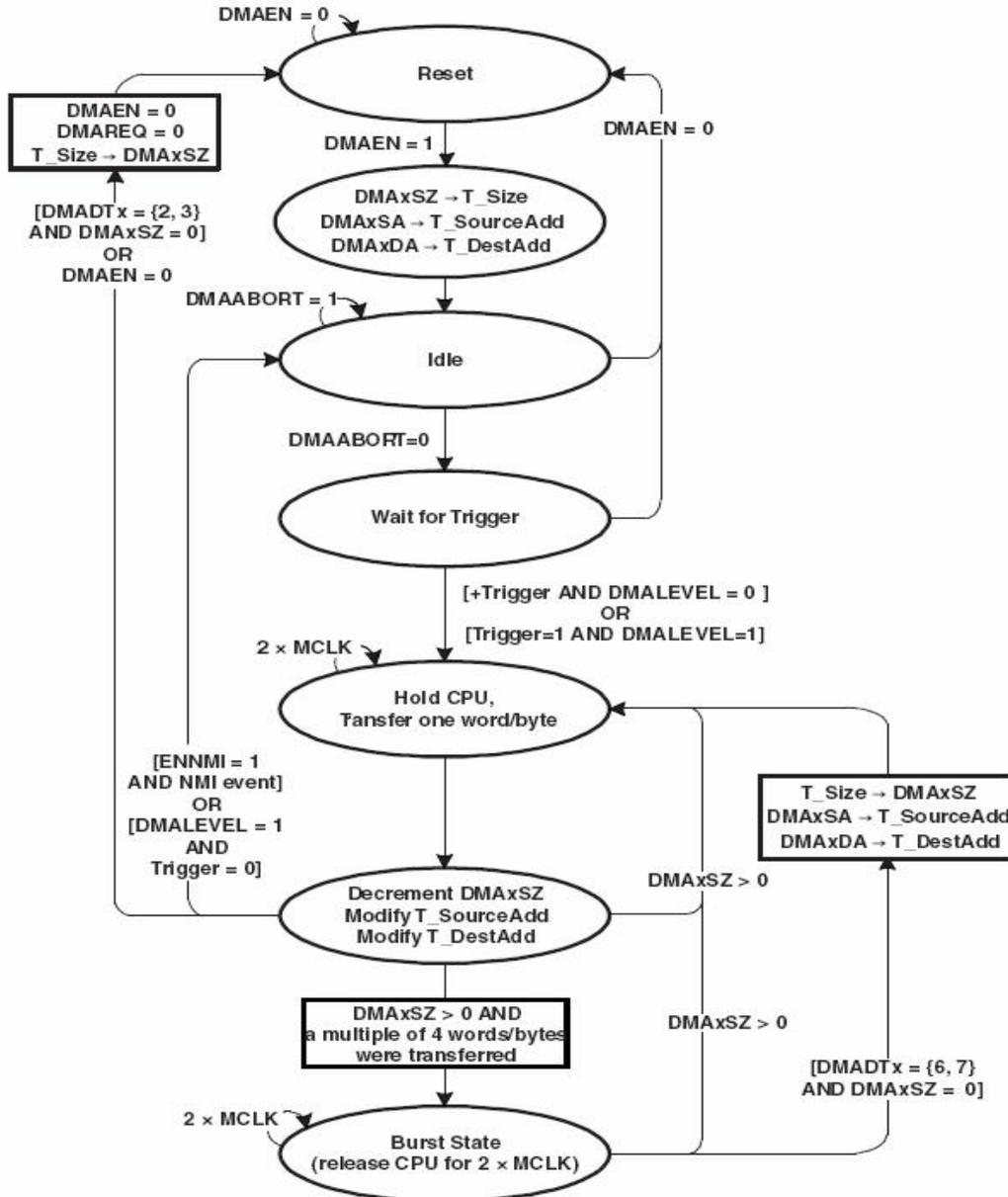


图 9-4.突发块传输状态图

9.2.3 初始化 DMA 传输

每个 DMA 通道都可以独立的由 DMAxTSELx 配置触发源。DMAxTSELx 位应该在 DMACTLx DMAEN 位为 0 是被改写。否则，不确定的 DMA 触发或许会发生。表 9-2 描述了每种模块类型的触发操作。请参阅特殊器件的可用的触发列表的数据表，以及它们各自的 DMAxTSELx 值。

当选择一个触发时，必须确保触发还没有发生或者将不会发生。

应用笔记：DMA 触发选择和 USB

当器件包含 USB 模块时，从 DMA 通道 0, 1 或 2 的触发源可以用作 USB 时间标志事件选择。请参阅 USB 模块的描述以获取更多的细节。

跳变触发

当 DMALEVEL = 0 时，跳变触发将被选择并且上升沿触发信号启动传输。在单次传输模式中，每次传输都需要一次触发。当使用块或者突发块模式时，仅需要一个触发来启动块或者突发块传输。

电平触发

当 DMALEVEL = 1 时，电平触发被选择。为了适当的操作，电平触发仅用在当外部触发 DMAEO 被选做触发源时。只要触发源信号为高电平就会有 DMA 传输被触发并且 DMAEN 位保持置位。

为了保证块或突发块传输结束，触发信号必须保持为高电平。在块或突发块传输时，如果触发信号变低，DMA 控制器将会保持在当前状态直到触发源信号变高或者直到 DMA 寄存器被软件修改。如果 DMA 寄存器没有被软件修改，当触发信号再次变高时，传输将会恢复到触发信号变低的那个状态。

当 DMALEVEL = 1 时，选择传输模式时推荐 DMA DTx = {0, 1, 2, 3} 因为 DMAEN 位是在传输结束后自动置位的。

DMA 传输的停止执行指令

DMARMWDIS 位作为 CPU 为 DMA 传输的停止控制位。当 DMARMWDIS = 0 时，CPU 直接被停止当接受到触发信号时传输开始。在这种情况下，CPU 读或写更改操作将会被 DMA 传输中断。当 DMARMWDIS = 1 时，CPU 将会在 DMA 控制器停止 CPU 和传输开始前完成当前的读或写更改操作。见表 9-2

表 9-2 DMA 触发操作

模块	操作
DMA	当 DMAREQ 位被置位时传输被触发。传输开始后 DMAREQ 自动复位。 当 DMAxIFG 标志置位时传输被触发。DMA0IFG 触发通道 1, DMA1IFG 触发通道 2, DMA2IFG 触发通道 0。传输开始后没有 DMAxIFG 标志会自动复位。一次传输由外部触发源 DMAEO 触发。
Timer_A	当 TACCR0 CCIFG 标志被置位时传输被触发。传输开始后 TACCR0 CCIFG 标志自动复位。如果 TACCR0 CCIE 被置位，TACCR0 CCIFG 标志不会触发传输。 当 TACCR2 CCIFG 标志被置位时传输被触发。传输开始后 TACCR2 CCIFG 标志自动复位。如果 TACCR2 CCIE 被置位，TACCR2 CCIFG 标志不会触发传输。
Timer_B	当 TBCCR0 CCIFG 标志被置位时传输被触发。传输开始后 TBCCR0 CCIFG 标志自动复位。如果 TBCCR0 CCIE 被置位，TBCCR0 CCIFG 标志不会触发传输。 当 TBCCR2 CCIFG 标志被置位时传输被触发。传输开始后 TBCCR2 CCIFG 标志自动复位。如果 TBCCR2 CCIE 被置位，TBCCR2 CCIFG 标志不会触发传输。
USCI_Ax	当 USCI_Ax 收到一个新的数据时触发一次传输。传输开始后 UCAxRXIFG 自动复位。如果 UCAxRXIE 被置位，UCAxRXIFG 不会触发传输。 当 USCI_Ax 准备好传输一个新的数据时触发一次传输。传输开始后 UCAxRXIFG 自动复位。如果 UCAxRXIE 被置位，UCAxRXIFG 不会触发传输。
USCI_Bx	当 USCI_Bx 收到一个新的数据时触发一次传输。传输开始后 UCBxRXIFG 自动复位。如果 UCBxRXIE 被置位，UCBxRXIFG 不会触发传输。 当 USCI_Bx 准备好传输一个新的数据时触发一次传输。传输开始后 UCBxRXIFG 自动复位。如果 UCBxRXIE 被置位，UCBxRXIFG 不会触发传输。

DAC12_A	当DAC12_xCTL0 DAC12IFG标志被置位时传输被触发。传输开始后DAC12_xCTL0 DAC12IFG标志自动复位。如果 DAC12_xCTL0 DAC12IE 被置位，DAC12_xCTL0 DAC12IFG标志不会触发传输。
ADC12_A	传输由ADC12IFGx标志触发当一个单通道转换完成后，相应的 ADC12IFGx被触发。如果用到序列转换，ADC12IFGx在转换序列的最后一次被触发。在一次转换结束后传输被触发并且ADC12IFGx置位。 软件设置 ADC12IFGx不会触发传输。当相关的ADC12MEMx 寄存器被DMA 控制器访问时，所有的 ADC12IFGx 标志自动复位。
MPY 保留	在硬件乘法器准备一个新的操作数时。 没有传输被触发

9.2.4 停止 DMA 传输

有两种方法可以停止 DMA 传输：

- 如果 DMACTL1 寄存器的 ENNMI 位被置位时，单次，块和突发块传输可以被 NMI 中断所停止。
- 突发块传输可以通过清除 DMAEN 位来停止

9.2.5 DMA 通道优先权

默认的 DMA 通道优先权顺序是从 DMA0 到 DMA7。如果两三个触发同时发生或者未被解决，最高优先权的通道将会首先完成传输（单次，块或者突发块传输），然后是第二优先权的通道，最后是第三优先权的通道。较高优先权的通道被触发后将不会在进行中的传输中被停止。等到进行中的传输结束后较高优先权的传输即开始。

DMA 通道的优先权由 ROUNDROBIN 位配置。当 ROUNDROBIN 位被置位时，传输完成的通道的优先权变为最低。通道的优先权总保持相同，举个三个通道的例子 DMA0-DMA1-DMA2：

DMA 优先级	发生的传输	新的 DMA 优先级
DMA0 - DMA1 - DMA2	DMA1	DMA2 - DMA0 - DMA1
DMA2 - DMA0 - DMA1	DMA2	DMA0 - DMA1 - DMA2
DMA0 - DMA1 - DMA2	DMA0	DMA1 - DMA2 - DMA0

当 ROUNDROBIN 被清除时，通道的优先权回到默认。

9.2.6 DMA 传输周期

在每次单传输或者块传输或者突发块传输时 DMA 控制器需要一个或两个 MCLK 时钟周期来同步。同步后每个字节/字需要两个 MCLK 时钟周期来传输，传输后有一个周期的等待时间。因为 DMA 控制器使用 MCLK，DMA 周期决定于 MSP430 的操作模式和时钟系统的设置。

如果 MCLK 时钟活动，但是 CPU 关闭，DMA 控制器将使用 MCLK 时钟来完成每次传输，无需重新使能 CPU。当 MCLK 时钟关闭时，DMA 控制器将临时开启 MCLK 时钟，以 DCOCLK 为时钟源，以完成单次或者整个块或者突发块传输。在每次传输结束后，CPU 继续保持关闭，MCLK 关闭。各种操作模式下的最大 DMA 周期见表 9-3。

表 9-3 单次传输最大 DMA 周期

CPU 操作模式时钟源	最大 DMA 周期
-------------	-----------

活动模式 MCLK=DCOCLK	4 MCLK周期
活动模式 MCLK=LFXT1CLK	4 MCLK 周期
低功耗模式 LPM0/1 MCLK=DCOCLK	5 MCLK 周期
低功耗模式LPM3/4 MCLK=DCOCLK	5 MCLK周期 + 5 ms(1)
低功耗模式LPM0/1 MCLK=LFXT1CLK	5 MCLK 周期
低功耗模式LPM3 MCLK=LFXT1CLK	5 MCLK周期
低功耗模式 LPM4 MCLK=LFXT1CLK	5 MCLK 周期+ 5 ms(1)

(1) 外加的 5s 是启动 DCOCLK 的时间。在数据表里是 t(LPMx) 参数的值。

9.2.7 系统中断下使用 DMA

DMA 传输不会被系统中断所打断。系统中断将会被挂起直到传输完成。当 ENNM 位被置位是 NMI 中断可以中断 DMA 控制器。

系统中断服务程序将会被 DMA 传输打断。如果系统中断服务程序或者其他程序必须在没有中断的情况下运行，DMA 控制器必须在这段程序执行前被禁止。

9.2.8 DMA 控制器中断

每个 DMA 通道都有自己的 DMAIFG 标志。当相应的 DMAxSZ 计数到 0 时，每个 DMAIFG 标志都可以在任何模式下被设置。如果相应的 DMAIE 位和 GIE 位被设置，则会产生一个中断请求。所有的 DMAIFG 标志都是有优先级顺序的，DMA0IFG 优先级最高，并且和一个单独的中断向量结合。高优先级允许中断获得一个值在 DMAIV 寄存器里。这个值可以用来估计或者自动的加到程序计数器里并进入一个适当的程序中。禁止 DMA 中断不会影响 DMAIV 的值。

任何访问，读或者写 DMAIV 寄存器都会自动复位高优先级挂起的中断标志。如果另一个中断标志被设置，则另一个中断将会在最初的中断服务结束后直接产生。例如，假设 DMA0 有最高的中断优先权。如果中断服务程序在访问 DMAIV 时 DMA0IFG 和 DMA2IFG 都被设置，DMA0IFG 将会被自动复位。当中断服务程序执行完 RETI 指令时，DMA2IFG 将会获得另外的中断。

DMAIV 程序示例

下面的软件示例是 DMAIV 的推荐用法，建立在解决 3 通道的 DMA 控制器上。DMAI 值加在 PC 上自动跳转到合适的程序。

页面右边的区域是每个指令所必须的 CPU 周期。这个程序建立在不同的中断源包括中断响应和中断返回的周期，但是没有任务处理本身。

; DMAxIFG 中断处理	周期
DMA_HND ... ; 中断响应	6
ADD &DMAIV,PC ; 加上偏移量到跳转表	3
RETI ; Vector 0: 没有中断	5
JMP DMA0_HND ; 中断向量2: DMA通道0	2
JMP DMA1_HND ; 中断向量4: DMA通道1	2
JMP DMA2_HND ; 中断向量6: DMA通道2	2
JMP DMA3_HND ; 中断向量8: DMA通道3	2
JMP DMA4_HND ; 中断向量10: DMA通道4	2
JMP DMA5_HND ; 中断向量12: DMA通道5	2
JMP DMA6_HND ; 中断向量14: DMA通道6	2

JMP DMA7_HND ; 中断向量16: DMA通道7	2
DMA7_HND ; 中断向量16: DMA通道7	
... ; 任务在此开始	
RETI ; 返回主程序	5
DMA6_HND ; 中断向量14: DMA 通道 6	
... ; 任务在此开始	
RETI ; 返回主程序	5
DMA5_HND ; 中断向量12: DMA通道 5	
... ; 任务在此开始	
RETI ; 返回主程序	5
DMA4_HND ; 中断向量10: DMA通道4	
... ; 任务在此开始	
RETI ; 返回主程序	5
DMA3_HND ; 中断向量8: DMA通道3	
... ; 任务在此开始	
RETI ; 返回主程序	5
DMA2_HND ; 中断向量: DMA通道2	
... ; 任务在此开始	
RETI ; 返回主程序	5
DMA1_HND ; 中断向量4: DMA通道1	
... ; 任务在此开始	
RETI ; 返回主程序	5
DMA0_HND ; 中断向量2: DMA通道0	
... ; 任务在此开始	
RETI ; 返回主程序	5

9.2.9 在 DMA 控制器下使用 USCI_B I2C 模块

USCI_B I2C 为 DMA 控制器提供两个触发源。在需要传输数据的时候，当 I2C 接收到一个新的数据时 USCI_B I2C 模块可以触发一次传输。

9.2.10 在 DMA 控制器下使用 ADC12

拥有完整 DMA 控制器的 MSP430 器件可以自动的从 ADC12MEMx 寄存器移动数据到任何位置。DMA 传输可以在没有 CPU 的干预下完成并且不受任何低功耗模式的影响。DMA 模块增加了 ADC12 模块的数据吞吐量，并且当数据传输发生的时候允许 CPU 保持在关闭状态以提高低功耗应用的性能。

DMA 传输可以被 ADC12IFGx 标志触发。当 CONSEQx = {0,2}时，被用作转换的 ADC12MEMx 的 ADC12IFGx 标志可以触发一次 DMA 传输。当 CONSEQx = {1,3}时，在顺序转换中的最后的 ADC12MEMx 的 ADC12IFGx 标志可以触发一次 DMA 传输。当 DMA 控制器访问相应的 ADC12MEMx 时候，任何 ADC12IFGx 标志都会被自动清除。

9.2.11 在 DMA 控制器下使用 DAC12

拥有完整 DMA 控制器的 MSP430 器件可以自动的从 DAC12_xDAT 寄存器移动数据。DMA 传输可以在没有 CPU 的干预下完成并且不受任何低功耗模式的影响。DMA 模块增加了 DAC12 模块的数据吞吐量，并且当数据传输发生的时候允许 CPU 保持在关闭状态以提高低功耗应用的性能。

在应用中需要产生一个周期性的波形时，利用 DMA 控制器下的 DAC12 是很方便的。例如，在一

个应用中产生正弦波可以把正弦波的值存储在表格中。DMA 控制器可以在特殊的时间间隔自动的并且连续不断的传输值到 DAC12 以产生正弦波，并且不需要 CPU 的干预。当 DMA 控制器访问 DAC12_xDAT 寄存器的时候，DAC12_CTL 的 DAC12IFG 标志位将会被自动清除。

9.3 DMA 寄存器

DMA 模块的寄存器如表 9-4 所示。基地址可以在器件的特殊数据表中找到。每个通道在其各自的基地址开始传输。基地址的偏移量如表开始 9-4 所示。

表 9-4. DMA 寄存器

寄存器	缩写	寄存器类型	地址偏移	初始值
DMA控制寄存器0	DMACTL0	读/写	00h	0000h
DMA控制寄存器1	DMACTL1	读/写	02h	0000h
DMA控制寄存器2	DMACTL2	读/写	04h	0000h
DMA控制寄存器3	DMACTL3	读/写	06h	0000h
DMA控制寄存器4	DMACTL4	读/写	08h	0000h
DMA中断向量	DMAIV	只读	0Eh	0000h
DMA通道0控制寄存器	DMAOCTL	读/写	00h	0000h
DMA通道0源地址寄存器	DMAOSA	读/写	02h	不变
DMA通道0目标地址寄存器	DMAODA	读/写	06h	不变
DMA通道0传输数量寄存器	DMAOSZ	读/写	0Ah	不变
DMA通道1控制寄存器	DMA1CTL	读/写	00h	0000h
DMA通道1源地址寄存器	DMA1SA	读/写	02h	不变
DMA通道1目标地址寄存器	DMA1DA	读/写	06h	不变
DMA通道1传输数量寄存器	DMA1SZ	读/写	0Ah	不变
DMA通道2控制寄存器	DMA2CTL	读/写	00h	0000h
DMA通道2源地址寄存器	DMA2SA	读/写	02h	不变
DMA通道2目标地址寄存器	DMA2DA	读/写	06h	不变
DMA通道2传输数量寄存器	DMA2SZ	读/写	0Ah	不变
DMA通道3控制寄存器	DMA3CTL	读/写	00h	0000h
DMA通道3源地址寄存器	DMA3SA	读/写	02h	不变
DMA通道3目标地址寄存器	DMA3DA	读/写	06h	不变
DMA通道3传输数量寄存器	DMA3SZ	读/写	0Ah	不变
DMA通道4控制寄存器	DMA4CTL	读/写	00h	0000h
DMA通道4源地址寄存器	DMA4SA	读/写	02h	不变
DMA通道4目标地址寄存器	DMA4DA	读/写	06h	不变
DMA通道4传输数量寄存器	DMA4SZ	读/写	0Ah	不变
DMA通道5控制寄存器	DMA5CTL	读/写	00h	0000h
DMA通道5源地址寄存器	DMA5SA	读/写	02h	不变
DMA通道5目标地址寄存器	DMA5DA	读/写	06h	不变
DMA通道5传输数量寄存器	DMA5SZ	读/写	0Ah	不变
DMA通道6控制寄存器	DMA6CTL	读/写	00h	0000h
DMA通道6源地址寄存器	DMA6SA	读/写	02h	不变
DMA通道6目标地址寄存器	DMA6DA	读/写	06h	不变
DMA通道6传输数量寄存器	DMA6SZ	读/写	0Ah	不变
DMA通道7控制寄存器	DMA7CTL	读/写	00h	0000h
DMA通道7源地址寄存器	DMA7SA	读/写	02h	不变
DMA通道7目标地址寄存器	DMA7DA	读/写	06h	不变

DMA通道7传输数量寄存器 DMA7SZ 读/写 0Ah 不变

DMACTL0 DMA 控制器寄存器 0

15	14	13	12		11	10	9	8
Reserved			DMA1TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)
7	6	5	4		3	2	1	0
Reserved			DMA0TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)

保留 位 15-13 保留. 只读. 读出总为 0.

DMA1TSELx 位 12-8 DMA 触发源选择. 这些位选择 DMA 传输的触发源. 通道数和触发分配可以参阅器件的特殊数据表.
 00000 DMA1TRIG0
 00001 DMA1TRIG1
 00010 DMA1TRIG2
 :
 11110 DMA1TRIG30
 11111 DMA1TRIG31

保留 位 7-5 保留. 只读. 读出总为 0.

DMA0TSELx 位 4-0 和 MA1TSELx 相同

DMACTL1 DMA 控制器寄存器 1

15	14	13	12		11	10	9	8
Reserved			DMA3TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)
7	6	5	4		3	2	1	0
Reserved			DMA2TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)

保留 位 15-13 保留. 只读. 读出总为 0.

DMA3TSELx 位 12-8 DMA 触发源选择. 这些位选择 DMA 传输的触发源. 通道数和触发分配可以参阅器件的特殊数据表.
 00000 DMA3TRIG0
 00001 DMA3TRIG1
 00010 DMA3TRIG2
 :
 11110 DMA3TRIG30
 11111 DMA3TRIG31

保留 位 7-5 保留. 只读. 读出总为 0.

DMA2TSELx 位 4-0 和 MA3TSELx 相同

DMACTL2 DMA 控制器寄存器 2

15	14	13	12		11	10	9	8
Reserved			DMA5TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)
7	6	5	4		3	2	1	0
Reserved			DMA4TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)

保留 位 15-13 保留. 只读. 读出总为 0.

DMA5TSELx 位 12-8 DMA 触发源选择. 这些位选择 DMA 传输的触发源。通道数和触发分配可以参阅器件的特殊数据表。

00000 DMA5TRIG0

00001 DMA5TRIG1

00010 DMA5TRIG2

:

11110 DMA5TRIG30

11111 DMA5TRIG31

保留 位 7-5 保留. 只读. 读出总为 0.

DMA4TSELx 位 4-0 和 MA5TSELx 相同

DMACTL3 DMA 控制器寄存器 3

15	14	13	12		11	10	9	8
Reserved			DMA7TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)
7	6	5	4		3	2	1	0
Reserved			DMA6TSELx					
r0	r0	r0	rw-(0)		rw-(0)	rw-(0)	rw-(0)	rw-(0)

保留 位 15-13 保留. 只读. 读出总为 0.

DMA7TSELx 位 12-8 DMA 触发源选择. 这些位选择 DMA 传输的触发源。通道数和触发分配可以参阅器件的特殊数据表。

00000 DMA7TRIG0

00001 DMA7TRIG1

00010 DMA7TRIG2

:

11110 DMA7TRIG30

11111 DMA7TRIG31

保留 位 7-5 保留. 只读. 读出总为 0.

DMA6TSELx 位 4-0 和 MA7TSELx 相同

DMACTL4, DMA 控制寄存器 4

15	14	13	12	11	10	9	8
0	0	0	0	0	0	0	0
r0	r0	r0	r0	r0	r0	r0	r0
7	6	5	4	3	2	1	0
0	0	0	0	0	DMARMWDIS	ROUND ENNMI	ENNMI
r0	r0	r0	r0	r0	rw-(0)	rw-(0)	rw-(0)

保留 位 15-3 保留. 只读. 读出总为 0.

DMARMWDIS 位 2 禁止读和改写。当此位置位时，禁止任何发生在 CPU 读写操作时的 DMA 传输。
 0 CPU 读写操作时允许发生 DMA 传输
 1 CPU 读写操作时禁止发生 DMA 传输

ROUNDROBIN 位 1 循环特性. 此位允许 DMA 通道优先级的循环特性
 0 DMA 通道的优先级是 DMA0 - DMA1 - DMA2 - - DMA7
 1 DMA 通道优先级在每次传输后改变

ENNMI 位 0 使能 NMI. 此位使能由 NMI 中断引起的 DMA 传输中断。当 NMI 中断一次 DMA 传输的时候，当前的传输一般会正常的完成，下一个传输将会被阻止，并且 DMAABORT 会置位。
 0 NMI 中断不中断 DMA 传输
 1 NMI 中断中断 DMA 传输

DMAxCTL, DMA 通道 x 控制寄存器

15	14	13	12	11	10	9	8
保留	DMADTx			DMADSTINCRx		DMASRCINCRx	
r0	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)
7	6	5	4	3	2	1	0
DMA DSTBYTE	DMA SRCBYTE	DMALEVEL	DMAEN	DMAIFG	DMAIE	DMAABORT	DMAREQ
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)

保留 位 15-3 保留. 只读. 读出总为 0.

DMADTx 位 14-12 DMA 传输模式
 000 单次传输
 001 块传输
 010 突发快传输

		011 突发快传输
		100 重复单次传输
		101 重复块传输
		110 重复突发快传输
		111 重复突发块传输
DMADSTINCRx	位 11-10	DMA 目标增量。此位选择当一个字节/字传输完成后目标地址自动增加或者减小。当DMADSTBYTE=1时，目标地址加/减1。当DMADSTBYTE=0时，目标地址加/减2。DMAxDA 被复制到一个临时的寄存器中，这个临时寄存器将会加或者减。DMAxDA的值不会增加或者减小。 00 目标地址不变 01 目标地址不变 10 目标地址减小 11 目标地址增加
DMASRCINCRx	位 11-10	DMA 源增量。此位选择当一个字节/字传输完成后源地址自动增加或者减小。当DMASRCBYTE=1时，源地址加/减1。当DMASRCBYTE=0时，源地址加/减2。DMAxSA 被复制到一个临时的寄存器中，这个临时寄存器将会加或者减。DMAxSA的值不会增加或者减小。 00 源地址不变 01 源地址不变 10 源地址减小 11 源地址增加
DMADSTBYTE	位 7	DMA目标字节。此位选择目标作为字或者字节。 0 字 1 字节
DMASRCBYTE	位 6	DMA源字节。此位选择源作为字或者字节。 0 字 1 字节
DMALEVEL	位 5	DMA 电平。此位选择跳变触发或者电平触发。 0 跳变触发 (上升沿) 1 电平触发 (高电平)
DMAEN	位 4	DMA 使能 0 禁止 1 使能
DMAIFG	位 3	DMA中断标志 0 没有为解决中断 1 有为解决中断
DMAIE	位 2	DMA中断使能

0 禁止
1 使能

DMAABORT 位 1 DMA 异常中断 此位表明DMA传输被NMI中断。
0 DMA传输没有被中断
1 DM 传输被NMI中断

DMAREQ 位 0 DMA请求.软件控制DMA传输启动.DMAREQ是被自动复位的。
0 没有DMA开始
1 启动DMA

DMAxSA, DMA 源地址寄存器

31	30	29	28		27	26	25	24
Reserved								
r0	r0	r0	r0		r0	r0	r0	r0
23	22	21	20		19	18	17	16
Reserved				DMAxSAx				
r0	r0	r0	r0		rw	rw	rw	rw
15	14	13	12		11	10	9	8
DMAxSAx								
rw	rw	rw	rw		rw	rw	rw	rw
7	6	5	4		3	2	1	0
DMAxSAx								
rw	rw	rw	rw		rw	rw	rw	rw

保留 位31-20 保留. 只读. 读出总为0.

DMAxSA 位 15-0 DMA 源地址.源地址寄存器指向单次传输DMA源地址或者指向块传输的首地址. 源地址寄存器的值在块传输或者突发块传输中保持不变. DMAxSA寄存器有两个字. 位 31-20保留并且读出总为0. 度或者写位19-16 需要使用扩展指令. 当使用字指令写 DMAxSA 的时候, 位 19-16 会被清除.

DMAxDA, DMA 目标地址寄存器

31	30	29	28		27	26	25	24
Reserved								
r0	r0	r0	r0		r0	r0	r0	r0
23	22	21	20		19	18	17	16
Reserved				DMAxDAx				
r0	r0	r0	r0		rw	rw	rw	rw
15	14	13	12		11	10	9	8
DMAxDAx								
rw	rw	rw	rw		rw	rw	rw	rw
7	6	5	4		3	2	1	0
DMAxDAx								

rw	rw	rw	rw	rw	rw	rw	rw
保留	位31-20	保留. 只读. 读出总为0.					
DMAxDA	位 15-0	DMA目标地址. 目标地址寄存器指向单次传输DMA目标地址或者指向块传输的首地址. 目标地址寄存器的值在块传输或者突发块传输中保持不变. DMAxDA寄存器有两个字. 位 31-20保留并且读出总为0. 度或者写位 19-16 需要使用扩展指令. 当使用字指令写 DMAxDA的时候, 位 19-16 会被清除.					

DMAxSZ, DMA大小寄存器

15	14	13	12		11	10	9	8
DMAxSZx								
rw	rw	rw	rw		rw	rw	rw	rw
7	6	5	4		3	2	1	0
DMAxSZx								
rw	rw	rw	rw		rw	rw	rw	rw

DMAxSZx	位 15-0	DMA 大小. DMA 定义了每次块传输字/字节的大小. DMAxSZ寄存器在每个字/字节传输结束后减小. 当DMAxSZ减至0时, 将使用以前刚初始化时的值马上自动重载. 0000h 禁止传输 0001h 传输一个字或者字节 0002h 传输两个字或者字节 : 0FFFFh 传输65536个字或者字节
---------	--------	---

DMAIV, DMA 中断向量寄存器

15	14	13	12		11	10	9	8
0	0	0	0		0	0	0	0
r0	r0	r0	r0		r0	r0	r0	r0
7	6	5	4		3	2	1	0
0	DMAIVx						0	0

DMAIVx 位 15-0 DMA 中断向量值

DMAIV Contents	中断源	中断标志	中断优先级
00h	No interrupt pending		
02h	DMA通道0	DMA0IFG	最高
04h	DMA通道1	DMA1IFG	
06h	DMA通道2	DMA2IFG	
08h	DMA通道3	DMA3IFG	
0Ah	DMA通道4	DMA4IFG	
0Ch	DMA通道5	DMA5IFG	

0Eh	DMA通道6	DMA6IFG	
10h	DMA 通道 7	DMA7IFG	最低